

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-142777

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

G06F 12/06
G06F 15/177

(21)Application number : 11-327436

(71)Applicant : NEC KOFU LTD

(22)Date of filing : 17.11.1999

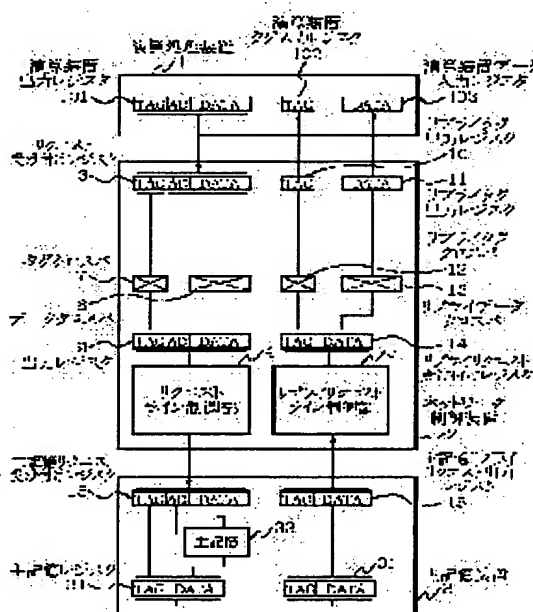
(72)Inventor : HOSAKA YURI

(54) SYSTEM AND DEVICE FOR PROCESSING INFORMATION AND NETWORK CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To dissolve a problem that performance is deteriorated for the portion of buffer reading control in a system where request tag information is registered in a request tag holding buffer as compared with a carrying-around system among devices.

SOLUTION: The system is adopted as the one for executing carrying-around among the devices, where a request tag holding buffer is not arranged in a network controller, request tag information of a main storage access instruction which is issued from an arithmetic processor is carried-around among the devices and request information is carried-around among the devices by folding into a plurality of lines by request kind in order not to increase the number of interfaces among the devices. A request line control part 11 for variably controlling a request line configuration by request kind and a reply request line control part 5 are set in a network device.



LEGAL STATUS

[Date of request for examination] 11.10.2000

[Date of sending the examiner's decision of rejection] 12.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-142777

(P2001-142777A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl.⁷

G 0 6 F 12/06
15/177

識別記号

5 5 0
6 7 6

F I

C 0 6 F 12/06
15/177

データ (参考)

5 5 0 A 5 B 0 4 5
6 7 6 A 5 B 0 6 0

審査請求 有 請求項の数 7 O L (全 9 頁)

(21) 出願番号

特願平11-327436

(22) 出願日

平成11年11月17日 (1999.11.17)

(71) 出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72) 発明者 保坂 由利

山梨県甲府市大津町1088-3 甲府日本電
気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム (参考) 5B045 BB16 BB17 BB28 BB29 BB42

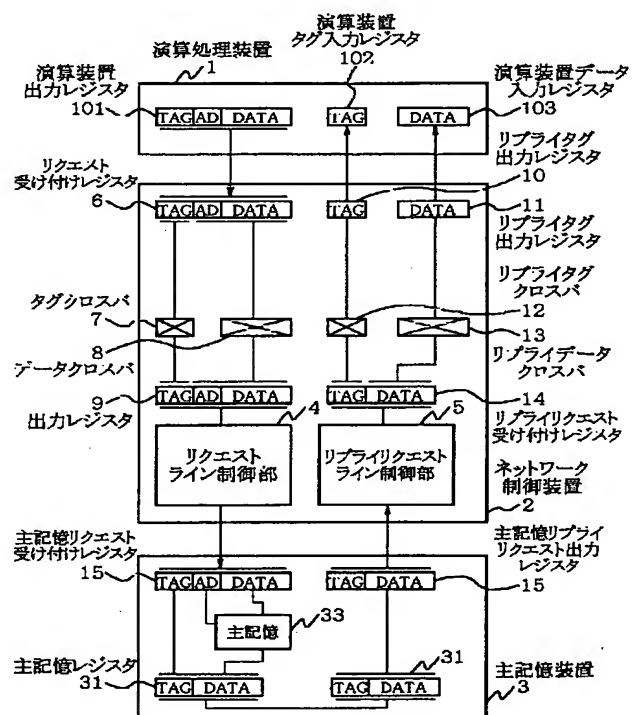
5B060 AC19 CA17

(54) 【発明の名称】 情報処理システム、情報処理装置、ネットワーク制御装置

(57) 【要約】

【課題】 リクエストタグ情報をリクエストタグ保持バッファに登録する方式では、装置間で持ち回る方式に比べてバッファ読み出し制御分だけ性能が低下するという問題があった。

【解決手段】 ネットワーク制御装置内にリクエストタグ保持バッファを設けず、演算処理装置から発行された主記憶アクセス命令のリクエストタグ情報は装置間で持ち回り、装置間のインターフェース数は増加させないようにリクエスト情報をリクエスト種別により複数ラインに折り畳んで装置間を持ち回る方式とし、リクエスト種別により、リクエストライン構成を可変制御するリクエストライン制御部4、リプライリクエストライン制御部5をネットワーク装置内に設定する。



【特許請求の範囲】

【請求項1】 複数の演算処理装置と複数の主記憶装置を接続するネットワーク制御装置において、前記主記憶のアクセス命令のリクエスト情報を、折りたたんで主記憶装置へ出力することを特徴とするネットワーク制御装置。

【請求項2】 複数の演算処理装置と複数の主記憶装置を接続するネットワーク制御装置において、前記演算処理装置から発行された第一のライン数のラインから構成される前記主記憶のアクセス命令のリクエストを、リクエスト種別により前記第一のライン数より少ない第二のライン数のリクエストを主記憶装置へ出力し、主記憶装置アクセス中持ちまわり、前記主記憶装置からの前記第二のライン数のリプライを前記第一のライン数を有するリプライに伸張し演算処理装置へ出力することを特徴とするネットワーク制御装置。

【請求項3】 複数の演算処理装置と複数の主記憶装置を接続するネットワーク制御装置において、前記演算装置は第一のライン数を有するリクエストを前記ネットワーク制御装置へ出力し、前記主記憶装置は前記第二のライン数のリプライを前記ネットワーク制御装置へ出力し、ネットワーク制御装置は、複数のクロスバと、複数のレジスタと、リクエストライン制御部と、リプライリクエスト制御部から構成され、前記リクエストライン制御部は、前記第一のライン数のリクエスト受け付けレジスタと、前記リクエストの種別を判別するリクエストライン構成判別部と、前記リクエストを前記第二のライン数に縮小して前記リクエスト受け付けレジスタから出力する制御を行うリクエスト受け付けセレクト信号生成部から構成され、前記リプライリクエスト制御部は、前記第一のライン数のリプライリクエスト受け付けレジスタと、前記リクエストの種別を判別するリプライリクエスト種別判別部と、前記リプライを前記第一のライン数に伸張して前記リプライ受け付けレジスタから出力する制御を行うリプライリクエストライン構成判別部から構成されることを特徴とするネットワーク制御装置。

【請求項4】 前記第一のライン数が2、4または5、前記第二のライン数が1であることを特徴とするネットワーク制御装置。

【請求項5】 演算処理装置と主記憶装置とを請求項1、2、3または4記載のネットワーク制御装置で結合したことを特徴とする情報処理装置。

【請求項6】 複数の演算処理装置と複数の主記憶装置とを請求項1、2、3、または4記載のネットワーク制御装置で結合したことを特徴とする情報処理装置。

【請求項7】 入出力制御装置と請求項5または6記載の情報処理装置を接続したことを特徴とする情報処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は並列処理を必要とする情報処理装置に関し、複数の演算処理装置と複数の主記憶装置を接続するネットワーク制御装置に関する。

【0002】

【従来の技術】図8は、特許第2731761号「ネットワーク制御装置」の構成を示すブロック図である。特許第2731761号では、ネットワーク制御装置1と主記憶装置3のインタフェース部分において、インタフェース数の大きなリクエストのタグ情報は持ち回らず、ネットワーク制御装置内にリクエストタグ保持バッファ18を設け、そのバッファにタグ情報を保持し、装置間ではリクエストタグ情報の代わりに、インタフェース数の少ないリクエストタグ保持バッファの登録アドレス情報WA17をリクエストのID情報として出力レジスタ9にセットし、装置間を持ち回ることによって、装置間のインタフェース数の削減を図っていた。

【0003】

【発明が解決しようとする課題】特許第2731761号では、従来のネットワーク制御装置44内にリクエストタグ保持バッファ18を設けているため、システムを構成している演算処理装置1と主記憶装置3の構成数が増大すると、ネットワーク制御装置のハードウェア量とネットワーク制御装置と主記憶装置間のインタフェース数も増大し、システムを構成することが物理的に不可能になってしまうという問題があった。

【0004】また、リプライリクエスト処理において、必ずリクエストタグ保持バッファ18の読み出し処理を必要とするため、主記憶装置3から従来のネットワーク制御装置44へのリプライリクエストは、まずリプライリクエスト受け付けレジスタ14にセットされた後で、ID情報をリクエストタグ保持バッファ18の読み出しアドレスレジスタRA20にセットしてリクエストタグ保持バッファ18の読み出しを行い、リクエストレジスタ19にリクエストタグ情報をセットしてからリプライタグクロスバ12を通過させ、リプライタグ出力レジスタ10にセットする手順となるため、リクエストタグ情報を装置間で持ち回る方式に比べてバッファ読み出し制御分だけ性能が低下するという問題があった。

【0005】また、この構成では、対主記憶インタフェース対応にバッファを設ける必要があり、ネットワーク制御装置のハードウェア量が増加してしまうという問題が発生する。

【0006】

【課題を解決するための手段】本発明第一のネットワーク制御装置は、複数の演算処理装置と複数の主記憶装置を接続するネットワーク制御装置において、前記主記憶のアクセス命令のリクエスト情報を、折りたたんで主記憶装置へ出力することを特徴とする。

【0007】本発明第二のネットワーク制御装置は、複数の演算処理装置と複数の主記憶装置を接続するネットワーク制御装置において、前記演算処理装置から発行された第一のライン数のラインから構成される前記主記憶のアクセス命令のリクエストを、リクエスト種別により前記第一のライン数より少ない第二のライン数のリクエストを主記憶装置へ出力し、主記憶装置アクセス中持ちまわり、前記主記憶装置からの前記第二のライン数のリプライを前記第一のライン数を有するリプライに伸張し演算処理装置へ出力する。

【0008】本発明第三のネットワーク制御装置は、複数の演算処理装置と複数の主記憶装置を接続するネットワーク制御装置において、前記演算装置は第一のライン数を有するリクエストを前記ネットワーク制御装置へ出力し、前記主記憶装置は前記第二のライン数のリプライを前記ネットワーク制御装置へ出力し、ネットワーク制御装置は、複数のクロスバと、複数のレジスタと、リクエストライン制御部と、リプライリクエスト制御部から構成され、前記リクエストライン制御部は、前記第一のライン数のリクエスト受け付けレジスタと、前記リクエストの種別を判別するリクエストライン構成判別部と、前記リクエストを前記第二のライン数に縮小して前記リクエスト受け付けレジスタから出力する制御を行うリクエスト受け付けセレクト信号生成部から構成され、前記リプライリクエスト制御部は、前記第一のライン数のリプライリクエスト受け付けレジスタと、前記リクエストの種別を判別するリプライリクエスト種別判別部と、前記リプライを前記第一のライン数に伸張して前記リプライ受け付けレジスタから出力する制御を行うリプライリクエストライン構成判別部から構成される。

【0009】本発明第四のネットワーク制御装置は、本発明第三のネットワーク制御装置であって、前記第一のライン数が2、4または5、前記第二のライン数が1である。

【0010】本発明第一の情報処理装置は、演算処理装置と主記憶装置とを本発明第一、第二、第三、又は第四のネットワーク制御装置で結合した。

【0011】本発明第二の情報処理装置は、複数の演算処理装置と主記憶装置と入出力装置を本発明第一、二、三、又は四ネットワーク制御装置で結合した。本発明の情報処理システムは、入出力制御装置と本発明第一または第二の情報処理装置を接続した。

【0012】

【発明の実施の形態】次に、本発明の実施の形態の情報処理装置について図面を参照して詳細に説明する。

【0013】まず、本発明の実施の形態の情報処理装置の構成について説明する。図1は、本発明実施の形態の情報処理装置の構成を示すブロック図である。図2は、本発明実施の形態のリクエストのライン構成を実際に2、4または5ライン構成としたときのリクエストラ

イン制御部4の構成を示すブロック図である。図3は、本発明実施の形態のリクエストのライン構成を実際に2、4または5ライン構成としたときのリプライリクエストライン制御部5の構成を示すブロック図である。図6は、本発明実施の形態の2、4、5ライン構成のリクエストの構成を示す図である。

【0014】本発明の実施の形態の情報処理装置は、演算処理装置1、主記憶装置3、ネットワーク制御装置2から構成される演算処理装置1は、主記憶装置3へのアクセス命令を発行し、演算を行う。ネットワーク制御装置2は、演算処理装置1と主記憶装置3を接続する。主記憶装置3は、演算処理装置1での演算結果を格納する。

【0015】演算処理装置1は、演算装置出力レジスタ101、演算装置タグ入力レジスタ102、演算装置データ入力レジスタ103を用いてネットワーク制御装置3とインタフェースする。主記憶装置3は、主記憶リクエスト受け付けレジスタ15、主記憶リプライリクエスト出力レジスタ16によりネットワーク制御装置3とインタフェースする。また、主記憶33、主記憶レジスタ31を有する。ネットワーク制御装置2は、リクエストライン制御部4、リプライリクエストライン制御部5、リクエスト受け付けレジスタ6、タグクロスバ7、データクロスバ8、出力レジスタ9、リプライタグ出力レジスタ10、リプライデータ出力レジスタ11、リプライタグクロスバ12、リプライデータクロスバ13、リプライリクエスト受け付けレジスタ14から構成される。

【0016】リクエストライン制御部4は、演算処理装置1からのリクエストをリクエストのライン構成によって制御を行う制御部である。リクエストライン制御部4は、リクエスト受け付けVビットレジスタ04a、リクエスト受け付けVビットレジスタ14b、リクエスト受け付けVビットレジスタ24c、リクエスト受け付けVビットレジスタ34d、リクエスト受け付けVビットレジスタ44e、リクエスト受け付けレジスタ04f、リクエスト受け付けレジスタ14g、リクエスト受け付けレジスタ24h、リクエスト受け付けレジスタ34i、リクエスト受け付けレジスタ44j、から構成される。リクエスト受け付けVビットレジスタ05c、リクエスト受け付けVビットレジスタ15d、リクエスト受け付けVビットレジスタ25eは、リクエストの1stライン目を受け付けていることを示すレジスタである。リクエスト受け付けレジスタ05f、リクエスト受け付けレジスタ15g、リクエスト受け付けレジスタ25h、リクエスト受け付けレジスタ35i、リクエスト受け付けレジスタ45jは、リクエストをネットワーク制御装置内で受け付けるためのレジスタである。リクエストライン構成判別部4kは、リクエストのライン構成をリクエストコードから判別する機能部である。リクエスト受け付けセレクト信号生成部4lは、リクエストのライン数

によってリクエスト受け付けレジスタ0～4への入力のセレクト信号を生成する機能部である。

【0017】リプライリクエストライン制御部5は、主記憶装置3からのリプライリクエストをリクエストのライン構成によって制御を行う制御部である。リプライリクエストライン制御部5は、リプライリクエスト受け付け可能レジスタ5a、リプライリクエストライン構成判別レジスタ5b、リプライリクエスト受け付けVビットレジスタ05c、リプライリクエスト受け付けVビットレジスタ15d、リプライリクエスト受け付けVビットレジスタ25e、リプライリクエスト受け付けレジスタ05f、リプライリクエスト受け付けレジスタ15g、リプライリクエスト受け付けレジスタ25h、リプライリクエスト受け付けレジスタ35i、リプライリクエスト受け付けレジスタ45j、リプライリクエスト種別判別部5k、リプライリクエストライン構成判別部5lから構成される。

【0018】リプライリクエスト受け付け可能レジスタ5aは、リプライリクエストが受け付け可能なタイミング、または、リクエストの1stライン目を受け付けている状態であることを示し、リプライリクエストライン構成判別レジスタ5bはリプライリクエストの種別を判別できるタイミングであることを示すレジスタである。リプライリクエスト受け付けVビットレジスタ0～2は、リプライリクエストの1stライン目を受け付けていることを示し、リプライリクエスト受け付けレジスタ0～4はリプライリクエストをネットワーク制御装置2内で受け付けるためのレジスタである。リプライリクエスト種別判別部5kはリプライリクエストの種別をリクエストコードにより判別し、リプライリクエストライン構成判別部5lでリプライリクエストのライン構成を判別する。

【0019】リクエスト受け付けレジスタ6は、演算処理装置1から発行されたリクエストを受け付けるレジスタ、7タグクロスバリクエストのタグ情報をセレクトするクロスバ機能部、データクロスバ8はリクエストのデータ部分をセレクトするクロスバ機能部、出力レジスタ9は、主記憶装置3にリクエストを出力するためのレジスタ、リプライタグ出力レジスタ10、リプライデータの演算処理装置1への出力レジスタ、リプライデータ出力レジスタ11は、リプライデータの演算処理装置1への出力レジスタ、リプライタグクロスバ12は、リプライタグ情報をセレクトするためのクロスバ機能部、リプライデータクロスバ13は、リプライデータをセレクトするためのクロスバ機能部、リプライリクエスト受け付けレジスタ14は、主記憶装置3からリプライされたリクエストをネットワーク制御装置2内で受け付けるためのレジスタである。

【0020】主記憶リクエスト受け付けレジスタ15は、主記憶装置3のリクエストを受け付けるためのレジ

スタ、主記憶リプライリクエスト出力レジスタ16は、主記憶装置3からネットワーク制御装置2にリクエストをリプライするためのレジスタである。

【0021】次に本発明の実施の形態の情報処理装置の動作について説明する。

【0022】演算処理装置1で発行される2ライン構成リクエストはタグ情報とアドレス情報により構成され、4ライン構成リクエストと5ライン構成リクエストはタグ情報、アドレス情報とデータにより構成されている。主記憶装置3からの2ライン構成リプライリクエストは、タグ情報により構成され、4ライン構成リプライリクエストと5ライン構成リプライリクエストは、タグ情報とデータにより構成されている。

【0023】まず、演算処理装置1で主記憶アクセス命令のリクエストが発行されると、ネットワーク制御装置2内のリクエスト受け付けレジスタ6でリクエストを受け取り、リクエストのタグ情報はタグクロスバ7で、データはデータクロスバ8でセレクトされ、出力レジスタ9にリクエストを出力する。

【0024】出力レジスタ9のリクエストは、リクエストのライン構成に応じてリクエストライン制御部4で制御され、主記憶装置3に転送される。

【0025】主記憶装置3からリクエストがリプライされると、ネットワーク制御装置2内のリプライリクエストライン制御部5でリクエストのライン構成に応じて制御が施され、リプライリクエスト受け付けレジスタ14にリプライリクエストが出力される。リプライリクエスト受け付けレジスタ14にリプライリクエストがあると、タグ情報はリプライタグクロスバ12で、データはリプライデータクロスバ13でセレクトされ、リプライタグ出力レジスタ10、リプライデータ出力レジスタ11に出力され、演算処理装置1に転送される。

【0026】ここで、リクエストのライン構成が可変であるため、演算処理装置1→主記憶装置3では1ライン構成のリクエストを2、4または5ライン化し、主記憶装置3→演算処理装置1では、2、4または5ライン構成のリクエストを1ライン化する必要がある。そこで、演算処理装置1から主記憶装置3にアクセスする場合は、リクエストライン制御部4で1ライン構成のリクエストをリクエストの種別によって、2、4または5ライン化する。また、主記憶装置3から演算処理装置1にリプライがある場合は、リプライリクエストライン制御部5でリクエスト種別によって、2、4または5ライン構成のリクエストを1ライン化する。

【0027】リクエストライン制御部4では、出力レジスタ9からのリクエストをリクエストライン構成判別部4kでリクエストコードからリクエストのライン数を判別し、リクエストのライン数に応じてリクエスト受け付けVビットレジスタ0～44a～eを“1”にする。リクエスト受け付けレジスタ0～44f～jは、リクエ

スト受け付けセレクト信号生成部41によって作られたセレクト信号によって、新しいリクエストの受け付けを行うかを決定する。

【0028】このようにして、1ライン構成のリクエストが2、4または5ライン化され主記憶装置3へ転送されていく。リプライクエストライン制御部5では、リプライクエスト受け付け可能レジスタ5aが“1”であるときに、リクエストが受け付けられる。また、リプライクエストを受け付けたタイミングでもリプライクエスト受け付け可能レジスタ5aは“1”となる。

【0029】リプライクエスト受け付け可能レジスタ5aが“1”で、リプライクエスト受け付けレジスタ05fにリプライクエストがあるときは、リプライクエスト種別判別部5kでリクエストコードによってリクエスト種別を判別する。

【0030】リプライクエスト種別が判別されると次のタイミングでリプライクエストライン構成判別レジスタ5bが“1”となり、リプライクエスト受け付けレジスタ15gにリプライクエストの1stラインが入る。リプライクエストライン構成判別レジスタ5bが“1”のとき、リプライクエストライン構成判別部5lでリクエストコードにより、リプライクエストのライン数が判別できる。

【0031】リプライクエスト受け付けVビットレジスタ0～25c～e、リプライクエスト受け付けレジスタ2～45h～jは、リプライクエストのライン数によって動作が異なる。このようにして、2、4または5ライン構成の可変なリクエストを1ライン化して演算処理装置1に転送する。

【0032】次に、本発明の実施の形態の動作について図面を参照して説明する。

【0033】図2のリクエストライン制御部4の動作について、図4のタイムチャートを用いて説明する。図4は、本発明実施の形態のリクエストライン制御部4内部の動作を示すタイムチャートである。

【0034】まず、演算処理装置1から発行された2ライン構成リクエストAが出力レジスタ9に入ると、リクエストライン構成判別部4kでリクエストのライン構成とリクエストライン制御部4の先行リクエストの有無を判別する。この場合、リクエストライン制御部4には先行するリクエストが存在しないため、次のタイミングでリクエストAの1stラインはリクエスト受け付けレジスタ44jに、2ndラインはリクエスト受け付けレジスタ34iに格納される。その次のタイミングでリクエストAの1stラインが主記憶リクエスト受け付けレジスタ15に出力される。リクエストAの1stラインが主記憶装置3に出力されると、次のタイミングでリクエストAの2ndラインが主記憶リクエスト受け付けレジスタ15に出力される。

【0035】次に4ライン構成リクエストBが出力レジ

スタ9に入ると、リクエストライン構成判別部4kでリクエストのライン構成数と先行リクエストAがリクエストライン制御部4に存在することが判別できる。リクエストBの場合、リクエストAが先行リクエストとして存在するため、リクエストBの1stラインはリクエスト受け付けレジスタ34iに、2ndラインはリクエスト受け付けレジスタ24hに、3rdラインはリクエスト受け付けレジスタ14gに、4thラインはリクエスト受け付けレジスタ04fに格納される。リクエストAの2ndラインが主記憶装置3に出力された次のタイミングでリクエストBの1stラインが主記憶リクエスト受け付けレジスタ15に出力される。リクエストBの1stラインが主記憶装置3に出力された次のタイミングでリクエストBの2ndラインが、次に3rdラインが、次に4thラインが主記憶リクエスト受け付けレジスタ15に出力されていく。

【0036】次に5ライン構成リクエストCが出力レジスタ9に入るとリクエストライン構成判別部4kでリクエストのライン構成数と先行リクエストBがリクエストライン制御部4内にあることが判別される。リクエストCの場合、先行リクエストBの最終ラインが次のタイミングで主記憶装置3に出力されるため、リクエストの1stラインがリクエスト受け付けレジスタ44jに、2ndラインがリクエスト受け付けレジスタ34iに、3rdラインがリクエスト受け付けレジスタ24hに、4thラインがリクエスト受け付けレジスタ14gに、5thラインがリクエスト受け付けレジスタ04fに格納される。そして、リクエストBの4thラインが主記憶装置3に出力された次のタイミングからリクエストCの1stライン、2ndライン、3rdライン、4thライン、5thラインと順に主記憶リクエスト受け付けレジスタ15に出力されていく。

【0037】リクエスト受け付けVビットレジスタ0～44a～eは、それぞれリクエスト受け付けレジスタ0～44f～jに対応しており、リクエストの最終ラインが該ステージレジスタにある時に“1”となる。

【0038】次に、図3のリプライクエストライン制御部5を図5のタイムチャートを用いて説明を行う。図5は、本発明実施の形態のリプライクエストライン制御部5内部の動作を示すタイムチャートである。

【0039】まず、リプライクエストライン制御部5がリクエストの受け付け可能タイミング、つまり先行リクエストがないため、リプライクエスト受け付け可能レジスタ5aが“1”となっている。

【0040】5ライン構成リプライクエストDが主記憶リプライクエスト出力レジスタ16にある場合、次のタイミングでリプライクエスト受け付け可能レジスタが“1”となり、リプライクエストの1stラインがリプライクエスト受け付けレジスタ05fに格納される。次に、リプライクエスト種別判別部5kでリプ

ライクエストDのリクエストコードを判別し、リプライクエストライン構成判別レジスタ5bを“1”とする。このとき、リプライクエスト受け付けレジスタ15gにリプライクエストDの1stラインが、リプライクエスト受け付けレジスタ05fに2ndラインが格納され、リプライクエストライン構成判別部51でリクエストライン構成数が判別できる。

【0041】リプライクエストDは5ライン構成のため、リプライクエストライン構成判別レジスタ5bが“1”となった次のタイミングからリプライクエスト受け付けVビットレジスタ0～25c～eが順に“1”となり、リプライクエスト受け付けレジスタ2～45h～jにリプライクエストDの1stラインが格納されていく。

【0042】リプライクエスト受け付けVビットレジスタ25eが“1”になったとき、リプライクエスト受け付けレジスタ4～05j～fにリプライクエストDの1stラインから5thラインがそろるので、リクエストを1ライン化してリプライクエスト受け付けレジスタ14にリプライクエストDを出力する。

【0043】2ライン構成リクエストEが主記憶リプライクエスト出力レジスタ16にある時、次のタイミングでリプライクエスト受け付け可能レジスタ5aが“1”となり、リプライクエスト受け付けレジスタ05fにリクエストEの1stラインが格納される。リプライクエスト種別判別部5kでリクエストコードによりリプライクエストEの種別が判別されると、次のタイミングでリプライクエストライン構成判別レジスタ5bが“1”となる。このとき、リプライクエスト受け付けレジスタ15gにリプライクエストEの1stラインが、リプライクエスト受け付けレジスタ05fに2ndラインが格納される。ここで、リプライクエストライン構成判別部51でリプライクエストEのライン構成数を判別する。リプライクエストEは2ライン構成リクエストであることが判別されると、1ライン化され、次のタイミングでリプライクエスト受け付けレジスタ14に出力される。

【0044】4ライン構成リクエストFが主記憶リプライクエスト出力レジスタ16にある場合、次のタイミングでリプライクエスト受け付け可能レジスタ5aが“1”となる。このとき、リプライクエスト受け付けレジスタ05fにリプライクエストFの1stラインが格納される。リプライクエスト種別判別部5kでリクエストコードによりリクエストの種別が判別されると、次のタイミングでリプライクエストライン構成判別レジスタ5bが“1”となる。このとき、リプライクエスト受け付けレジスタ15gにリプライクエストFの1stラインが、リプライクエスト受け付けレジスタ05fに2ndラインが格納される。リプライクエストライン構成判別部51でリプライクエストF

のライン構成数が判別されると、リプライクエスト受け付けVビットレジスタ1～25d～eが順に“1”となる。この時、リプライクエスト受け付けレジスタ3～45i～jにリプライクエストFの1stラインが順に格納される。リプライクエストFの2ndライン、3rdライン、4thラインは、リプライクエスト受け付けレジスタ05fに入ったら、順にリプライクエスト受け付けレジスタ1～45g～jに格納されていく。リプライクエスト受け付けVビットレジスタ25eが“1”になったとき、リプライクエスト受け付けレジスタ45j、リプライクエスト受け付けレジスタ2～05h～fにリプライクエストFの1stラインから4thラインがそろるので、リクエストを1ライン化してリプライクエスト受け付けレジスタ14にリプライクエストFを出力する。

【0045】リプライクエスト受け付け可能レジスタ5a、リプライクエストライン構成判別レジスタ5b、リプライクエスト受け付けVビットレジスタ0～25c～eは、それぞれリプライクエスト受け付けレジスタ0～45f～jに対応しており、リプライクエストの1stラインが該ステージレジスタにある時に“1”となる。

【0046】図7は、本発明実施の形態の情報処理システムの構成を示すブロック図である。ネットワーク制御装置2に、複数の演算処理装置1と複数の主記憶装置3と入出力装置50が接続されている。

【0047】

【発明の効果】本発明のネットワーク制御装置により、従来と同一規模のネットワーク制御装置を構成する場合には主記憶装置とネットワーク装置のインタフェース数を増加させることなくネットワーク制御装置のハードウェア量が削減でき、演算処理装置と主記憶装置の構成数が増加しても、従来に比べて規模の大きなシステムを構成することが可能となる。

【0048】また、リクエストライン制御部、リプライクエストライン制御部においてリクエスト種別によりリクエストライン構成数を可変にして制御を行うことにより、リクエストを柔軟に処理することが可能となり、リプライクエスト処理におけるリクエストタグ保持バッファを読み出す処理が削除されるので、リプライクエスト処理の待ち時間を削減することが可能となる。

【図面の簡単な説明】

【図1】本発明実施の形態の情報処理装置の構成を示すブロック図である。

【図2】本発明実施の形態のリクエストのライン構成を実際に2、4または5ライン構成としたときのリクエストライン制御部4の構成を示すブロック図である。

【図3】本発明実施の形態のリクエストのライン構成を実際に2、4または5ライン構成としたときのリプライクエストライン制御部5の構成を示すブロック図で

ある。

【図4】本発明実施の形態のリクエストライン制御部4内部の動作を示すタイムチャートである。

【図5】本発明実施の形態のリプライリクエストライン制御部5内部の動作を示すタイムチャートである。

【図6】本発明実施の形態の2、4、5ライン構成のリクエストの構成を示す図である。

【図7】本発明実施の形態の情報処理システムの構成を示すブロック図である。

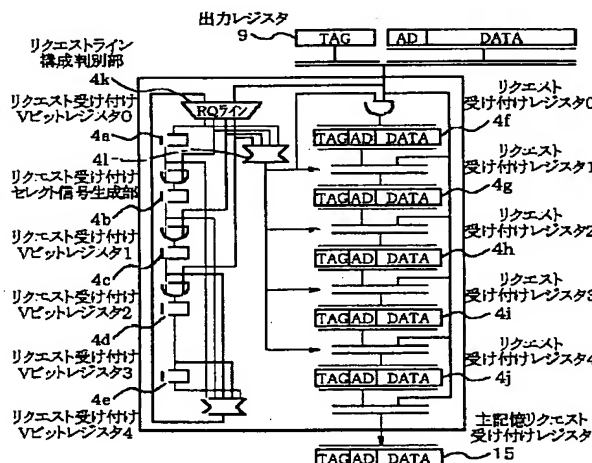
【図8】特許第2731761号の構成を示すブロック図である。

【符号の説明】

- 1 演算処理装置
- 2 ネットワーク制御装置
- 3 主記憶装置
- 4 リクエストライン制御部
- 5 リプライリクエストライン制御部
- 6 リクエスト受け付けレジスタ
- 7 タグクロスバ
- 8 データクロスバ
- 9 出力レジスタ
- 10 リプライタグ出力レジスタ
- 11 リプライデータ出力レジスタ
- 12 リプライタグクロスバ
- 13 リプライデータクロスバ
- 14 リプライリクエスト受け付けレジスタ
- 15 主記憶リクエスト受け付けレジスタ
- 17 WA
- 16 主記憶リプライリクエスト出力レジスタ
- 18 リクエストタグ保持バッファ
- 19 リクエストレジスタ
- 31 主記憶レジスタ

- 33 主記憶
- 44 従来のネットワーク制御装置
- 50 入出力装置
- 101 演算装置出力レジスタ
- 102 演算装置タグ入力レジスタ
- 103 演算装置データ入力レジスタ
- 4a リクエスト受け付けVビットレジスタ0
- 4b リクエスト受け付けVビットレジスタ1
- 4c リクエスト受け付けVビットレジスタ2
- 4d リクエスト受け付けVビットレジスタ3
- 4e リクエスト受け付けVビットレジスタ4
- 4f リクエスト受け付けレジスタ0
- 4g リクエスト受け付けレジスタ1
- 4h リクエスト受け付けレジスタ2
- 4i リクエスト受け付けレジスタ3
- 4j リクエスト受け付けレジスタ4
- 5a リプライリクエスト受け付け可能レジスタ
- 5b リプライリクエストライン構成判別レジスタ
- 5c リプライリクエスト受け付けVビットレジスタ
- 0
- 5d リプライリクエスト受け付けVビットレジスタ
- 1
- 5e リプライリクエスト受け付けVビットレジスタ
- 2
- 5f リプライリクエスト受け付けレジスタ0
- 5g リプライリクエスト受け付けレジスタ1
- 5h リプライリクエスト受け付けレジスタ2
- 5i リプライリクエスト受け付けレジスタ3
- 5j リプライリクエスト受け付けレジスタ4
- 5k リプライリクエスト種別判別部
- 5l リプライリクエストライン構成判別部

【図2】



【図6】

1. 演算処理装置→主記憶装置

2ライン構成 リクエスト
TAG
AD

4ライン構成 リクエスト
TAG
AD
DATA0

5ライン構成 リクエスト
TAG0
TAG1
AD
DATA0
DATA1

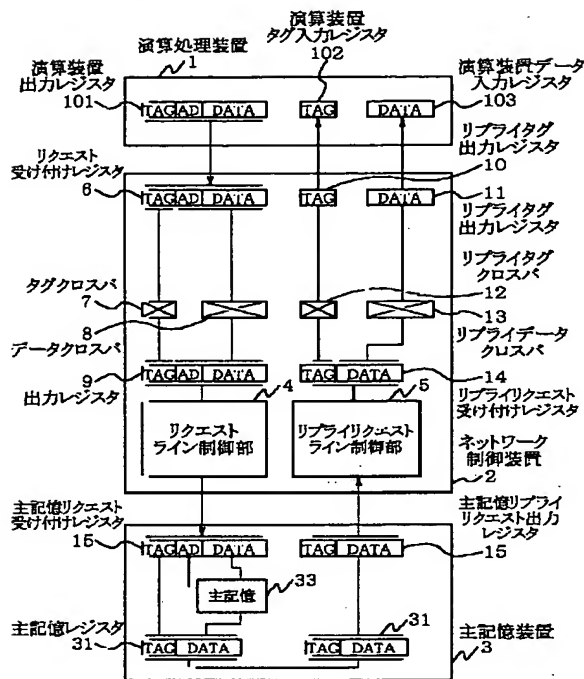
2. 主記憶装置→演算処理装置

2ライン構成 リクエスト
TAG0
TAG1

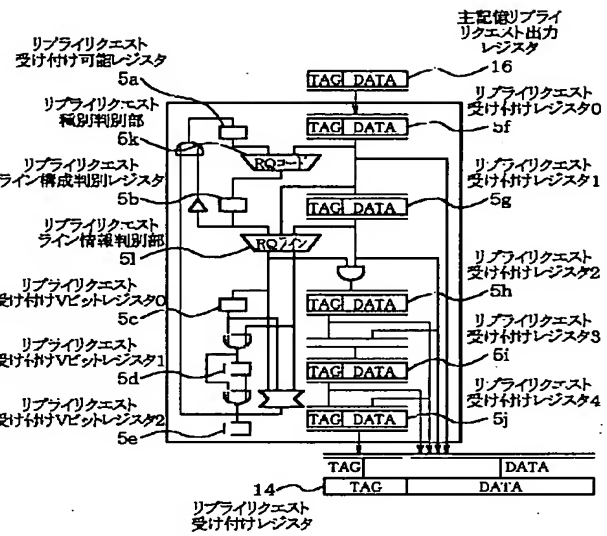
4ライン構成 リクエスト
TAG0
TAG1
DATA0
DATA1

5ライン構成 リクエスト
TAG0
TAG1
TAG2
DATA0
DATA1

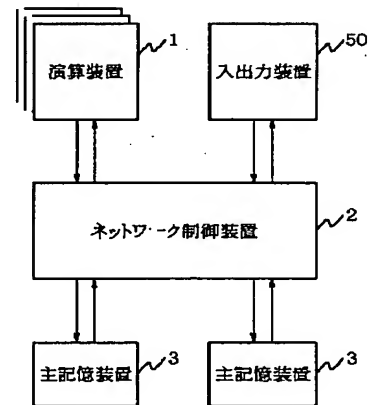
-【図 1】



【図3】



【図7】



【図4】

